

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Lecture No. 3 LPaS 2022

0

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

What do you find out?

- Sequential logic circuits
- State diagram
- Flip-flop circuits
- R-S, J-K, D
- Counter
- Use of logic circuits

1

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Sequential logic circuits

2

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Sequential Logic Circuits (Internal Structure)

The diagram illustrates the internal structure of a sequential logic circuit. It shows external inputs entering a combinational circuit, which produces external outputs and internal inputs. The internal inputs enter a memory element, which produces the current state. This current state is fed back into the combinational circuit and also into sequential logic circuit elements (registers). The registers produce the next state, which is fed back into the memory element. The combinational circuit also produces the next state, which is fed back into the registers. The registers produce the present state, which is fed back into the combinational circuit. The combinational circuit produces the outputs.

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Sequential logic circuits

The diagram shows three timing diagrams for sequential logic circuits. (a) Level Trigger: A square wave pulse is shown with a 'c' label. (b) Positive-edge Trigger: A square wave pulse is shown with a 'c' label and an arrow pointing to the rising edge. (c) Negative-edge Trigger: A square wave pulse is shown with a 'c' label and an arrow pointing to the falling edge.

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

RS circuit

Mode of operation	INPUTS			OUTPUTS		Effect on output Q
	CLK	S	R	Q	\bar{Q}	
Hold	0	0	0	1	0	No change
Reset	0	1	0	0	1	Reset or cleared to 0
Set	0	0	1	1	0	Set to 1
Prohibited	0	1	1	1	1	Prohibited; do not use

The diagram shows the logic symbol for a clocked R-S flip-flop with inputs S, R, and CLK, and outputs Q and \bar{Q} . Below it is a truth table for the flip-flop. The table shows the effect on the output Q for different combinations of inputs S, R, and CLK. The last row is labeled 'Prohibited; do not use'. Below the truth table is a circuit diagram showing the flip-flop implemented using NAND gates.

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Circuit D

D....delay (vzorkovací K.a)

D	C	Q _n
1	1	1
0	1	0
?	?	Q _{n-1}

Realizace D-KO pomocí RS:

6

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

J-K Circuit

J	K	Q _n
0	0	1
1	0	1
0	0	Q _{n-1}
1	1	Q _{n-1}

7

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Solving sequential logs. tasks (state diagram)

```

stateDiagram-v2
    state 1 as 1 opened
    state 2 as 2 closed
    1 --> 2 : close
    2 --> 1 : open
    
```

8

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Example of a state diagram

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Counter

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Binary system

37 »

$$\begin{array}{r}
 100101 \\
 \underline{1 \cdot 2^6 = 1 \cdot 1 = 1} \\
 0 \cdot 2^5 = 0 \cdot 2 = 0 \\
 1 \cdot 2^4 = 1 \cdot 4 = 4 \\
 0 \cdot 2^3 = 0 \cdot 8 = 0 \\
 0 \cdot 2^2 = 0 \cdot 16 = 0 \\
 1 \cdot 2^1 = 1 \cdot 32 = 32 \\
 \hline
 37
 \end{array}$$

[1]	[1]	[1]	Přenosy
1	1	1	7ap
1	0	1	5ap
1	1	0	12ap

0+0=0
0+1=1
1+0=1
1+1=0+1

Transfer to the next order

These numbers are added as in classic multiplication in the decimal system

$$\begin{array}{r}
 0100 \\
 +0111 \\
 \hline
 0100 \\
 +0100 \\
 \hline
 11100
 \end{array}$$

hexadecimal digit

0	→	0
1	→	1
2	→	2
3	→	3
4	→	4
5	→	5
6	→	6
7	→	7
8	→	8
9	→	9
A	→	10
B	→	11
C	→	12
D	→	13
E	→	14
F	→	15

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Counter x Divider

ai)

bi)

$1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 5$

Číslo vstupního signálu	výstupy klopových obvodů			
impulzů	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

12

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Astable, monostable and bistable flip-flops

zjednodušená schém. značka

13

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

A binary code decoder for a seven-segment display

$a = \overline{A}BCD + A\overline{B}CD + ABC\overline{D} + ABCD$
 $b = \overline{A}BCD + ABD + ACD + BCD$
 $c = \overline{A}BCD + ABD + ABC$

číslo vstupního signálu	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	1	1	1
10	1	0	1	0	1	1	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1
12	1	1	0	0	1	1	1	1	1	1	1
13	1	1	0	1	1	1	1	1	1	1	1
14	1	1	1	0	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1

14

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

What did you learn?

- Sequential logic circuits
- State diagram
- Flip-flop circuits
- R-S, J-K, D
- Counter
- Use of logic circuits

15

VŠB TECHNICKÁ UNIVERZITA OSTRAVA | FAKULTA STROJNÍ | KATEDRA AUTOMATIZAČNÍ TECHNIKY A ŘÍZENÍ

Thank you for your attention

16
